

DIALOG(R)File 352:Derwent
(c) 2000 Derwent Info Ltd. All rts. reserv.
003574731

WPI Acc No: 1983-C2924K/198307

**Active matrix board with low light leakage - has driving circuit
integrated with active matrix circuit on glass board. NoAbstract**

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58004180	A	19830111				198307 B

Priority Applications (No Type Date): JP 81102984 A 19810630

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 58004180	A	6		
-------------	---	---	--	--

Title Terms: ACTIVE; MATRIX; BOARD; LOW; LIGHT; LEAK; DRIVE; CIRCUIT;
INTEGRATE; ACTIVE; MATRIX; CIRCUIT; GLASS; BOARD; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/35;

H01L-027/00

File Segment: EPI; EngPI

CONCISE STATEMENT OF JP58-4180

This Japanese Laid-Open patent was cited by Japanese Patent Office for showing a feature that a driver TFTs are formed on a same substrate as pixel TFTs. The followings are description of the reference numerals of the drawings:

- 1: glass substrate
- 2: active matrix circuit
- 3: peripheral driver circuit
- 4: polycrystal silicon film
- 5: CVD-SiO₂ film
- 6: polycrystal silicon film
- 7: CVD-SiO₂ film
- 8: electrode

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58-4180

⑮ Int. Cl.³

識別記号

庁内整理番号

⑯ 公開 昭和58年(1983)1月11日

G 09 F 9/35

7520-5C

G 02 F 1/133

7348-2H

G 09 F 9/00

6865-5C

H 01 L 27/00

6370-5F

発明の数 2

審査請求 未請求

(全 4 頁)+1

⑰ アクティブマトリクス基板

会社諏訪精工舎内

⑱ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4

号

⑲ 特 願 昭56-102984

⑳ 出 願 昭56(1981)6月30日

㉑ 発 明 者 山田彪夫

㉒ 代 理 人 弁理士 最上務

諏訪市大和3丁目3番5号株式

明 細 書

発明の名称

アクティブマトリクス基板

特許請求の範囲

データ線とゲート線のマトリクスからなり、順

トレジスタ列を含む周辺駆動回路が内蔵され、しかも前記周辺駆動回路はマトリクス回路を囲う基板周辺部に配置されたアクティブマトリクスエーシ基板において前記周辺駆動回路と対応するすべてのトランジスタ、あるいはその中の一部が、マトリクス回路に載って、島形成の高いトランジスタで形成されていることを特徴とするアクティブマトリクス基板。

発明の詳細な説明

本発明ソーダガラス、ホウケイ酸ガラス、あるいは石英等の透明基板上に少なくとも多結晶シリコンあるいはアモルファスシリコンを主構成部材

としてなるアクティブマトリクス基板に関するものである。

近年平板型液晶ディスプレイは時計、電卓玩具を始めとして自動車、計測器、情報機器等へと応用分野が拡大されつつあり、特に最近においては半導体集積回路技術によってエーシ基板上へエーシ回路をマトリクス状に形

成しこのエーシ回路を用いたテレビ画像表示用の液晶ディスプレイパネルが開発されている。

アクティブマトリクス方式で液晶パネルを形成した例では前記液晶エーシ基板を用いたものやガラス基板上に薄膜トランジスタを形成したもの及びポリシリコン基板を用いたものなどが既に報告されているが中でも大面積パネル化ならびにコスト面から前記ガラス基板上に薄膜トランジスタを形成してなるアクティブマトリクス基板は将来有望な方式と考えられている。

従来ガラス基板上に多結晶シリコン等を堆積して形成される薄膜トランジスタは基板に附する薄膜

約から低電プロセスを用いるを得ないことは周知の通りである。しかし前記薄膜トランジスタを用いてのアナティブマトリクス基板の場合アナティブマトリクス回路はともかくとして周辺駆動回路は高周波動作を要求されるため少なくとも基板は単結晶シリコンに近いものでなくてはならない。そのため周辺駆動回路は単結晶シリコン基板上に形成したアナティブマトリクス基板に比べる外付けすることが一般的である。

しかし従来の前記方式では周辺駆動回路基板の製造費は勿論のことアナティブマトリクス基板への外付け費用を含めると当然の事ながら大巾なコストアップに結ぶことは云々までもない。

又基板材として石英基板のように耐熱性を有する材料を用いてアナティブマトリクス基板を形成した場合1000℃以上の高温プロセスも可能となるため周辺駆動回路を内蔵したアナティブマトリクス基板の製造は可能となる。

しかしこゝで一つ問題となるのは光リークについてである。

又、近來は周知の如くレーザー光あるいは電子（エレクトロンビーム）を用いて無定形あるいは多結晶のシリコン面に照射することにより結晶化をはかたり、あるいはイオン照射時のダメージを消滅する技術が開発されてきている。

中でもレーザー加熱にはCVA（シアンレーザー）

、CVA（シアンレーザー）など種々の方式の出力、エネルギーあるいはスポット径をはじめとして生産性安定性にいたるまで製造上、動作上、の本質的な違いを有しており目的による選択も重要となる。

このレーザー光を利用してのレーザーアニール技術を用いれば、例えばガラス基板上に周辺駆動回路を内蔵したアナティブマトリクス基板にレーザーアニールし全体に多結晶を形成することは可能となる。しかしレーザーアニール効果はスポット径と照射時間によりエネルギーが決定されるため基板全体にレーザーアニール加工を行なうと例えば1時間当りの生産性は基板枚数増減と少量であり効

果率平直な面ではレーザーは携帯用かつ野外用としての利用価値が大きく当然の事ながら太陽光の下での使用頻度が多くなる。

アナティブマトリクスIC基板は直接太陽光が照射面を照射するためIC基板内にも光が入射する。IC基板内への入射光は電子と正孔を発生させ基板内に拡散しP-N接合部に到達するとP-N接合部に電流が流れてしまう。すなわちこの光起電力効果はトランジスタのソーニドレインのP-N接合部にリーク電流を引き起こし正しい画像表示が得られなくなり画像がちらついたり消えたりする。このため前記光リーク現象を抑えるための一手段としては基板の厚みを小さくしリーク電流の低減を図ることであり、前述の如くアナティブマトリクス回路においてはそれがある程度可能であるからである。

しかしながら前記高温プロセスは石英基板上の多結晶シリコン全体を結晶化させることになり当然多結晶が高くなり光リークが増加し好ましい現象とはいえない。

事のきわめて悪い工程となってしまう。

以上述べた如く光リークに強くしかも低価格アナティブマトリクス基板を製造するに就いては従来方式における種々の欠点を改善する必要がある。

本発明は従来の欠点を除去せしめるものでありすなわちガラス等の透明基板上に多結晶シリコンあるいはアモルファスシリコンを主構成部材とす

一基板上に前記アナティブマトリクス回路を包み込む形で周辺駆動回路を配置し、該周辺駆動回路領域のみをレーザーアニール加工等を行ないトランジスタの結晶度を高めるというものである。すなわち前述の如く周辺駆動回路の内蔵化をはじめ、結晶度を高める一手段としてレーザーアニールを基板周辺部の駆動回路のみに照射するためエネルギーを向上し、しかも内部のアナティブマトリクス回路の結晶度を小さくしたため光リーク防止の向上も計れるという効果を上げたものである。

次に本発明を下記に示す実施例にもとづいて詳

面に説明する。

実施例(1)

第1図は本発明によるアクティブマトリクス基板でありホウ酸ガラス基板1上にアクティブマトリクス回路2を中心部に周辺駆動回路3を外周部に配置したものである。

第2図(a)~(d)は本発明のアクティブマトリクス基板の製造過程を説明するための断面図である。先ず第2図(a)の如くホウ酸ガラス基板1上に625℃の減圧雰囲気中にて5000Åの第1の多結晶シリコン膜4を形成後該多結晶シリコン膜4をホトエッチングし部分的に開孔せしめる。

次に基板1上の周辺部すなわち第1図の周辺駆動回路3の領域内のみ第2図(b)の如くCVD法にてレーザーを光源としたビーム径200μm、減圧度50mmHgでビームを左右の方向にスキャンさせながら、しかも1~4の順序にてレーザーアニール加工を行なった。次に第2図(c)の如く全面にCVD-860、膜5を2000Å堆積したのち第1図の多結晶シリコン膜と同一形成方法で第

2の多結晶シリコン膜8を形成したのち、多結晶シリコン膜8のソースドレイン部の開孔をホトエッチングにて行なう。

次に基板1上面に $1 \times 10^{14}/\text{cm}^2$ のリンイオンを照射し550℃180分間のフォージングガス中にてアニールを行ない拡散層を形成する。次に第2図(d)の如くCVD-860、膜7を形成した後コンタクトホールを開孔し引つづき電極8の形成を行ないアクティブマトリクス基板の形成を終了する。本実施例にもちいたアクティブマトリクス回路のゲート及びデータ線のライン数は各々300本であり本基板を用いてデーター線は約1MHz、又ゲート本基板を用いて動作が確認され液晶表示ディスプレイとして充分な性能を有することが確認されている。又レーザーアニール加工の効果としてアニールのスループットは従来の比べて数倍以上の向上をみせておりさらに製造度はアクティブマトリクス回路中では約10mm/V-secであり周辺駆動回路部では約100mm/V-secが得られている。

実施例(2)

実施例(1)と同様に第1の多結晶シリコン膜を形成後ホトエッチングにて部分的な開孔を行なった後第2図(b)の如く実施例(1)と同一条件にて周辺駆動回路の(1)と(2)の領域をレーザーアニール加工したのち周辺駆動回路の(3)と(4)を(1)及び(2)に較べて低出力の約1J/cm²のエネルギー密度で照射し

すなわち実施例(1)にて説明の如く特にゲート線のライン数の少ないアクティブマトリクス基板については本方式でも充分対応が取れスループットの向上がのぞめる。

実施例(3)

実施例(1)と同様に第1の多結晶シリコン膜を形成後ホトエッチングにて部分的な開孔を行なった

ト駆動回路であり(1)及び(2)のデーター線用レーザーアニール照射を先ず(1)の領域にビームを矢印の如く左右にスキャンさせて行ない、つづいて基板を中心に対して90°回転し(2)の領域を(1)と同方式にて照射しつづいて同じ方式にて基板を回転させて(3)(4)の領域を照射する。この方式では実施例(1)に較べビームのスキャン数が大巾に減少出来るため実施例(1)に較べてスループットが向上出来る利益を有する。

実施例(4)

実施例(1)と同様に第1の多結晶シリコン膜を形成後ホトエッチングにて部分的な開孔を行なった後第2図(d)の如く実施例(1)と同一条件にて周辺駆動回路の(1)と(2)領域すなわちデーター線駆動回路領域のみをレーザーアニールする。

以上実施例(1)~(4)にて説明した如く、本発明は平面上液晶ディスプレイ等に用いられるアクティブマトリクス基板において、ガラス基板上にアクティブマトリクス回路と周辺駆動回路をワンチップ化

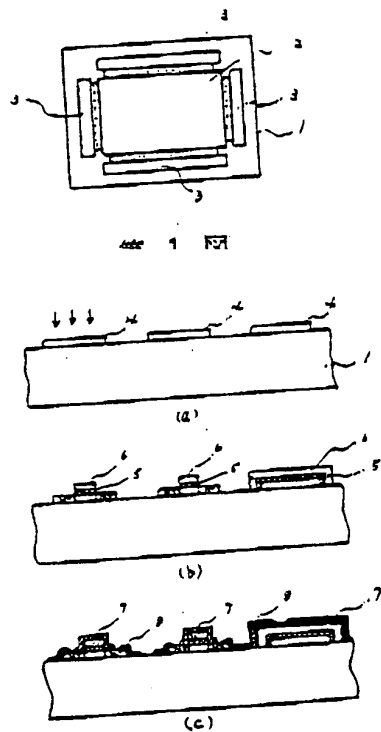
すると同時にレーザアニール技術を利用し駆動回路のみをレーザアニール照射を行ないアクティブマトリクス回路に耐光リーク対策をほどこしたものであり、低コストでしかも光リークに強いアクティブマトリクス基板の提供を可能にしたものである。

なお従来例において透明基板としてシリコン酸ガラスを用いているが他にソーダガラスあるいは石英等の透明基板でも良く、さらにトランジスタ製造を基的手段としてレーザアニールの他に SiO_2 等についても効果は確認されており、これらの照射条件についても目的に応じて自由に選択可能であり本発明の目的から逸脱するものではない。

図面の簡単な説明

図1図は本発明によるアクティブマトリクス基板における駆動配線図

図2図(a)~(c)は本発明におけるアクティブマトリクス基板の製造過程を示す断面図



第2図

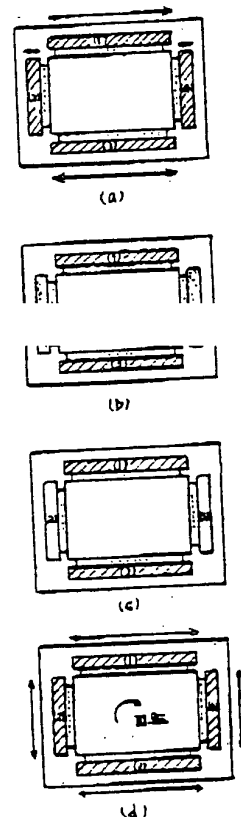
図3図(a)~(d)は本発明におけるアクティブマトリクス基板上の周辺駆動回路領域へのレーザアニール照射方法を示す平面図

- 1...ガラス基板
- 2...アクティブマトリクス回路
- 3...周辺駆動回路
- 4...多結晶シリコン膜
- 5... CVD-SiO_2 膜
- 6...多結晶シリコン膜
- 7... CVD-SiO_2 膜
- 8...電極

以上

出願人 株式会社東芝精工会

代理人 弁護士 豊 上 西



第3図

特許法第17条の2の規定による補正の掲載

昭和 56 年特許願第 102984 号 (特開昭 58- 4180 号 昭和 58 年 1 月 11 日 発行 公開特許公報 58- 42 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 6 (2)

Inventor	識別記号	庁内整理番号
G09F 9/35		6615-5C
G02F 1/133		7348-2H
G09F 9/00		6731-5C
H01L 27/00		6655-5F

手 補 正 書 (自 発) 通

昭和 58 年 7 月 25 日

特許庁長官 殿

1. 事件の表示

昭和 56 年特許願第 102984 号

2. 発明の名称

アクティブマトリクス基板

3. 補正を要する

事件との関係 出願人
東京都新宿区西新宿 2 丁目 4 番 1 号
(234) 株式会社 東 武 精 工 会
代表取締役 中 村 恒 也

4. 代理人

〒104 東京都中央区京橋 2 丁目 6 番 21 号
株式会社 星 野 工 業 内 最 上 特 許 専 務 所
(4064) 弁護士 最 上 初
連絡先 563-2111 内線 221-0 担当 林

5. 補正により増加する発明の数

0

6. 補正の名称

明 細 書

7. 補正の内容

1. 特許請求の範囲を別紙の如く補正する。
2. 明細書中、2 頁下から 7 行目「報告され」とあるを「報告され」に補正する。
3. 同、7 頁下から 6 行目「500/sec」とあるを「500/sec」に補正する。



特許請求の範囲

「データ線とゲート線のマトリクスからなり、前記データ線とゲート線を駆動するために各々フトレジスタ列を含む周辺駆動回路が内蔵され、しかも前記周辺駆動回路はマトリクス回路を囲う基板周辺部に配置されたアクティブマトリクス

すべてのトランジスタ、あるいはその中の一部が、マトリクス回路に較べて、島形状の高いトランジスタで構成されていることを特徴とするアクティブマトリクス基板。」